

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年10月 3日

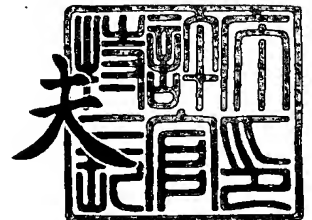
出願番号
Application Number: 特願2003-345633
[ST. 10/C]: [JP2003-345633]

出願人
Applicant(s): 株式会社ルネサステクノロジ

2003年11月 7日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



出証番号 出証特2003-3092352

【書類名】 特許願
【整理番号】 542671JP02
【提出日】 平成15年10月 3日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/28
【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノ
 ロジ内
 【氏名】 新川田 裕樹
【特許出願人】
 【識別番号】 503121103
 【氏名又は名称】 株式会社ルネサステクノロジ
【代理人】
 【識別番号】 100089233
 【弁理士】
 【氏名又は名称】 吉田 茂明
【選任した代理人】
 【識別番号】 100088672
 【弁理士】
 【氏名又は名称】 吉竹 英俊
【選任した代理人】
 【識別番号】 100088845
 【弁理士】
 【氏名又は名称】 有田 貴弘
【先の出願に基づく優先権主張】
 【出願番号】 特願2003- 44155
 【出願日】 平成15年 2月21日
【手数料の表示】
 【予納台帳番号】 012852
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0307615

【書類名】 特許請求の範囲**【請求項 1】**

メモリデバイスが形成されるメモリ形成領域と、ロジックデバイスが形成されるロジック形成領域とを有する半導体基板と、

前記メモリ形成領域における前記半導体基板の上面内に形成された第 1 の不純物領域と、
前記ロジック形成領域における前記半導体基板の上面内に形成された第 2 の不純物領域と、

前記第 1 の不純物領域の上面内に形成され、かつ前記第 1 の不純物領域の導電型とは異なる第 3 の不純物領域と、

前記第 2 の不純物領域の上面内に形成され、かつ前記第 2 の不純物領域の導電型とは異なる第 4 の不純物領域と、

前記第 3 の不純物領域の上面内に形成された第 1 のシリサイド膜と、

前記第 1 のシリサイド膜に電氣的に接続され、前記第 1 のシリサイド膜の上方に形成されたキャパシタと、

前記第 4 の不純物領域の上面内に形成され、かつ前記第 1 のシリサイド膜よりも厚い第 2 のシリサイド膜と
を備える、半導体装置。

【請求項 2】

それぞれが前記メモリ形成領域における前記半導体基板の上面上に形成され、互いに所定の距離を成す第 1, 2 のゲート構造と、

それぞれが前記ロジック形成領域における前記半導体基板の上面上に形成され、互いに所定の距離を成す第 3, 4 のゲート構造と
を更に備え、

前記第 1, 2 のシリサイド膜は、前記第 1, 2 のゲート構造の間及び前記第 3, 4 のゲート構造の間にそれぞれ設けられており、

前記第 1, 2 のゲート構造間の距離と、前記第 1, 2 のゲート構造の高さとして規定される第 1 のゲートアスペクト比は、前記第 3, 4 のゲート構造間の距離と、前記第 3, 4 のゲート構造の高さとして規定される第 2 のゲートアスペクト比よりも大きい、請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 のゲートアスペクト比は 0.8 よりも大きい、請求項 2 に記載の半導体装置。

【請求項 4】

前記ロジック形成領域における前記半導体基板の上面内に形成された第 5 の不純物領域と、

前記第 5 の不純物領域の上面内に形成され、かつ前記第 5 の不純物領域とは異なる導電型の第 6 の不純物領域と、

前記第 6 の不純物領域の上面内に形成され、かつ前記第 2 のシリサイド膜よりも薄い第 3 のシリサイド膜と

を更に備える、請求項 1 に記載の半導体装置。

【請求項 5】

各前記第 3, 4, 6 の不純物領域は、MOS トランジスタのソース・ドレイン領域である、請求項 4 に記載の半導体装置。

【請求項 6】

それぞれが前記メモリ形成領域における前記半導体基板の上面上に形成され、互いに所定の距離を成す第 1, 2 のゲート構造と、

それぞれが前記ロジック形成領域における前記半導体基板の上面上に形成され、互いに所定の距離を成す第 3, 4 のゲート構造と、

それぞれが前記ロジック形成領域における前記半導体基板の上面上に形成され、互いに所定の距離を成す第 5, 6 のゲート構造と

を更に備え、

前記第 1 乃至 3 のシリサイド膜は、前記第 1, 2 のゲート構造の間、前記第 3, 4 のゲート構造の間及び前記第 5, 6 のゲート構造の間にそれぞれ設けられており、

前記第 1, 2 のゲート構造間の距離と、前記第 1, 2 のゲート構造の高さとで規定される第 1 のゲートアスペクト比、及び前記第 5, 6 のゲート構造間の距離と、前記第 5, 6 のゲート構造の高さとで規定される第 3 のゲートアスペクト比のそれぞれは、前記第 3, 4 のゲート構造間の距離と、前記第 3, 4 のゲート構造の高さとで規定される第 2 のゲートアスペクト比よりも大きい、請求項 4 及び請求項 5 のいずれか一つに記載の半導体装置。

【請求項 7】

各前記第 1, 3 のゲートアスペクト比は 0.8 よりも大きい、請求項 6 に記載の半導体装置。

【請求項 8】

各前記第 1 乃至第 6 のゲート構造を覆って前記半導体基板上に形成された層間絶縁膜と、
前記層間絶縁膜内にそれを貫通して設けられ、前記第 3 のシリサイド膜と接続された第 1 のコンタクトプラグと、
前記層間絶縁膜上に設けられた絶縁層と、
前記絶縁層内にそれを貫通して設けられ、前記第 1 のコンタクトプラグと接続された第 2 のコンタクトプラグと
を更に備え、

前記キャパシタは前記絶縁層内に設けられている、請求項 6 及び請求項 7 のいずれか一つに記載の半導体装置。

【請求項 9】

(a) メモリデバイスが形成されるメモリ形成領域と、ロジックデバイスが形成されるロジック形成領域とを有する半導体基板を準備する工程と、

(b) 前記メモリ形成領域及び前記ロジック形成領域における前記半導体基板の上面内に、第 1, 2 の不純物領域をそれぞれ形成する工程と、

(c) 前記メモリ形成領域における前記半導体基板の上面上に、互いに所定の距離を成す第 1, 2 のゲート構造を形成するとともに、前記第 1, 2 のゲート構造で挟まれた前記第 1 の不純物領域の上面内に、前記第 1 の不純物領域の導電型とは異なる第 3 の不純物領域を形成する工程と、

(d) 前記ロジック形成領域における前記半導体基板の上面上に、互いに所定の距離を成す第 3, 4 のゲート構造を形成するとともに、前記第 3, 4 のゲート構造で挟まれた前記第 2 の不純物領域の上面内に、前記第 2 の不純物領域の導電型とは異なる第 4 の不純物領域を形成する工程と、

(e) 前記工程 (c), (d) を実行することによって得られた構造の上方から、前記第 1, 2 のゲート構造の間の前記第 3 の不純物領域上と、前記第 3, 4 のゲート構造の間の前記第 4 の不純物領域上とに、無指向性スパッタ法を用いて金属材料を堆積する工程と、

(f) 前記金属材料と前記半導体基板とを互いに反応させて、各前記第 3, 4 の不純物領域の上面内にシリサイド膜を形成する工程と、

(g) 前記第 3 の不純物領域の上面内に形成された前記シリサイド膜に電氣的に接続されるキャパシタを、前記第 3 の不純物領域の上面内に形成された前記シリサイド膜の上方に形成する工程と

を備え、

前記第 1, 2 のゲート構造間の距離と、前記第 1, 2 のゲート構造の高さとで規定される第 1 のゲートアスペクト比は、前記第 3, 4 のゲート構造間の距離と、前記第 3, 4 のゲート構造の高さとで規定される第 2 のゲートアスペクト比よりも大きい、半導体装置の製造方法。

【請求項 10】

前記第 1 のゲートアスペクト比は 0.8 よりも大きい、請求項 9 に記載の半導体装置の製造方法。

【請求項 11】

前記工程 (b) において、前記ロジック形成領域における前記半導体基板の上面内に第 5 の不純物領域を更に形成し、

(h) 前記工程 (e) の前に、前記ロジック形成領域における前記半導体基板の上面上に、互いに所定の距離を成す第 5, 6 のゲート構造を更に形成するとともに、前記第 5, 6 のゲート構造の間で挟まれた前記第 5 の不純物領域の上面内に、前記第 5 の不純物領域の導電型とは異なる第 6 の不純物領域を形成する工程を更に備え、

前記工程 (e) において、前記工程 (c), (d), (h) を実行することによって得られた構造の上方から、前記第 5, 6 のゲート構造の間の前記第 6 の不純物領域上にも無指向性スパッタ法を用いて前記金属材料を堆積し、

前記工程 (f) において、前記金属材料と前記半導体基板とを互いに反応させて、前記第 6 の不純物領域の上面内にも前記シリサイド膜を形成し、

前記第 2 のゲートアスペクト比は、前記第 5, 6 のゲート構造間の距離と、前記第 5, 6 のゲート構造の高さとして規定される第 3 のゲートアスペクト比よりも小さい、請求項 9 に記載の半導体装置の製造方法。

【請求項 12】

各前記第 3, 4, 6 の不純物領域は、MOS トランジスタのソース・ドレイン領域である、請求項 11 に記載の半導体装置の製造方法。

【請求項 13】

各前記第 1, 3 のゲートアスペクト比は 0.8 よりも大きい、請求項 11 及び請求項 12 のいずれか一つに記載の半導体装置の製造方法。

【請求項 14】

(i) 前記工程 (f) と前記工程 (g) との間に、各前記第 1 乃至第 6 のゲート構造を覆って前記半導体基板上に層間絶縁膜を形成する工程と、

(j) 前記工程 (g) の前に、前記第 6 の不純物領域の上面内に形成された前記シリサイド膜に接続された第 1 のコンタクトプラグを、前記層間絶縁膜内にそれを貫通して形成する工程とを、
更に備え、

前記工程 (g) において、前記層間絶縁膜上に絶縁層を形成するとともに、前記絶縁層内に前記キャパシタを形成し、

(k) 前記第 1 のコンタクトプラグと接続された第 2 のコンタクトプラグを、前記絶縁層内にそれを貫通して形成する工程を更に備える、請求項 11 乃至請求項 13 のいずれか一つに記載の半導体装置の製造方法。

【書類名】明細書

【発明の名称】半導体装置及び半導体装置の製造方法

【技術分野】

【0001】

この発明は、半導体基板上にメモリデバイスとロジックデバイスとが形成された、メモリ・ロジック混載型の半導体装置及びその製造方法に関する。

【背景技術】

【0002】

近年、システムLSIにおいては、大容量かつ高速なメモリデバイスと、ロジックデバイスとが同一の半導体基板上に形成された、メモリ・ロジック混載型の半導体装置が注目されている。その中でも大容量化に向けたDRAMを混載した半導体装置においては、メモリデバイスの高速化に対応すべくメモリセル内にもシリサイド膜を形成したものが開発されている。

【0003】

このような、メモリセル内にシリサイド膜が形成されたメモリ・ロジック混載型の半導体装置の一例が、特許文献1に開示されている。特許文献1に記載の技術によれば、DRAMが形成されているDRAM部と、ロジックデバイスが形成されているロジック部の両方において、トランジスタのソース・ドレイン領域及びゲート電極にシリサイド膜を形成している。なお、シリサイド膜の形成方法に関する技術が特許文献2～4に開示されている。

【0004】

【特許文献1】特開2001-127270号公報

【特許文献2】特開2000-269482号公報

【特許文献3】特開平8-31769号公報

【特許文献4】国際公開WO98/42009号パンフレット

【発明の開示】

【発明が解決しようとする課題】

【0005】

特許文献1に記載のメモリ・ロジック混載型の半導体装置では、特許文献1の図6に示されるように、DRAM部のソース・ドレイン領域の上面内に形成されたシリサイド膜と、ロジック部のソース・ドレイン領域の上面内に形成されたシリサイド膜とが互いに同じ厚さである。従って、ロジックデバイスの高速化のためにロジック部のシリサイド膜を厚く形成すると、DRAM部のシリサイド膜も厚くなり、ソース・ドレイン領域に電気的に接続されたキャパシタのリーク電流が大きくなる。その結果、DRAMのデータ保持特性が劣化する。一方、キャパシタのリーク電流を低減するためにDRAM部のシリサイド膜を薄くすると、ロジック部のシリサイド膜も薄くなり、ロジックデバイスの動作速度が低下する。

【0006】

そこで、本発明は上述の問題に鑑みて成されたものであり、ロジックデバイスが形成される領域の低抵抗化と、メモリデバイスが有するキャパシタの低リーク電流化とを両立させることができる半導体技術を提供することを目的とする。

【課題を解決するための手段】

【0007】

この発明の半導体装置は、メモリデバイスが形成されるメモリ形成領域と、ロジックデバイスが形成されるロジック形成領域とを有する半導体基板と、前記メモリ形成領域における前記半導体基板の上面内に形成された第1の不純物領域と、前記ロジック形成領域における前記半導体基板の上面内に形成された第2の不純物領域と、前記第1の不純物領域の上面内に形成され、かつ前記第1の不純物領域の導電型とは異なる第3の不純物領域と、前記第2の不純物領域の上面内に形成され、かつ前記第2の不純物領域の導電型とは異なる第4の不純物領域と、前記第3の不純物領域の上面内に形成された第1のシリサイド

膜と、前記第 1 のシリサイド膜に電氣的に接続され、前記第 1 のシリサイド膜の上方に形成されたキャパシタと、前記第 4 の不純物領域の上面内に形成され、かつ前記第 1 のシリサイド膜よりも厚い第 2 のシリサイド膜とを備える。

【0008】

また、この発明の半導体装置の製造方法は、(a) メモリデバイスが形成されるメモリ形成領域と、ロジックデバイスが形成されるロジック形成領域とを有する半導体基板を準備する工程と、(b) 前記メモリ形成領域及び前記ロジック形成領域における前記半導体基板の上面内に、第 1, 2 の不純物領域をそれぞれ形成する工程と、(c) 前記メモリ形成領域における前記半導体基板の上面上に、互いに所定の距離を成す第 1, 2 のゲート構造を形成するとともに、前記第 1, 2 のゲート構造で挟まれた前記第 1 の不純物領域の上面内に、前記第 1 の不純物領域の導電型とは異なる第 3 の不純物領域を形成する工程と、(d) 前記ロジック形成領域における前記半導体基板の上面上に、互いに所定の距離を成す第 3, 4 のゲート構造を形成するとともに、前記第 3, 4 のゲート構造で挟まれた前記第 2 の不純物領域の上面内に、前記第 2 の不純物領域の導電型とは異なる第 4 の不純物領域を形成する工程と、(e) 前記工程 (c), (d) を実行することによって得られた構造の上方から、前記第 1, 2 のゲート構造の間の前記第 3 の不純物領域上と、前記第 3, 4 のゲート構造の間の前記第 4 の不純物領域上とに、無指向性スパッタ法を用いて金属材料を堆積する工程と、(f) 前記金属材料と前記半導体基板とを互いに反応させて、各前記第 3, 4 の不純物領域の上面内にシリサイド膜を形成する工程と、(g) 前記第 3 の不純物領域の上面内に形成された前記シリサイド膜に電氣的に接続されるキャパシタを、前記第 3 の不純物領域の上面内に形成された前記シリサイド膜の上方に形成する工程とを備え、前記第 1, 2 のゲート構造間の距離と、前記第 1, 2 のゲート構造の高さとで規定される第 1 のゲートアスペクト比は、前記第 3, 4 のゲート構造間の距離と、前記第 3, 4 のゲート構造の高さとで規定される第 2 のゲートアスペクト比よりも大きい。

【発明の効果】

【0009】

この発明に係る半導体装置によれば、メモリ形成領域における第 1 のシリサイド膜は、ロジック形成領域における第 2 のシリサイド膜よりも薄いため、第 1, 3 の不純物領域間のリーク電流を、第 2, 4 の不純物領域間のリーク電流よりも低減することができる。一方、第 2 のシリサイド膜は第 1 のシリサイド膜よりも厚いため、第 4 の不純物領域を第 3 の不純物領域よりも低抵抗化できる。従って、ロジック形成領域の第 4 の不純物領域の低抵抗化と、第 1 のシリサイド膜に電氣的に接続されたキャパシタの低リーク電流化とを両立させることができる。

【0010】

また、この発明に係る半導体装置の製造方法によれば、第 1 のゲートアスペクト比が第 2 のゲートアスペクト比よりも大きいため、無指向性スパッタ法を用いることによって、工程 (e) において、第 3 の不純物領域上の金属材料が、第 4 の不純物領域上の金属材料よりも薄くなる。そのため、工程 (f) において形成される、第 3 の不純物領域の上面内のシリサイド膜が、第 4 の不純物領域の上面内のシリサイド膜よりも薄くなる。その結果、第 1, 3 の不純物領域間のリーク電流を、第 2, 4 の不純物領域間のリーク電流よりも低減することができる。一方、第 4 の不純物領域の上面内のシリサイド膜は、第 3 の不純物領域の上面内のシリサイド膜よりも厚くなるため、第 4 の不純物領域を第 3 の不純物領域よりも低抵抗化できる。従って、ロジック形成領域の第 4 の不純物領域の低抵抗化と、第 1 のシリサイド膜に電氣的に接続されたキャパシタの低リーク電流化とを両立させることができる。

【発明を実施するための最良の形態】

【0011】

実施の形態 1.

図 1 は本発明の実施の形態 1 に係る半導体装置の構造を示す断面図である。本実施の形態 1 に係る半導体装置は、メモリ・ロジック混載型の半導体装置であって、メモリデバイ

スとしては、例えばCUB (Capacitor Under Bit line) 構造のメモリセルを有するDRAMが採用され、ロジックデバイスとしては、例えばDual GateサリサイドCMOSトランジスタが採用される。

【0012】

図1に示されるように、本実施の形態1に係る半導体装置は、例えばn型のシリコン基板である半導体基板1を備えている。半導体基板1の上面内には素子分離絶縁膜2が形成されており、それによって、半導体基板1は複数の領域に区分されている。

【0013】

メモリデバイスが形成される領域（以後、「メモリ形成領域」と呼ぶ）では、半導体基板1の上面内にp型のウェル領域3が形成されており、ロジックデバイスが形成される領域（以後、「ロジック形成領域」と呼ぶ）では、半導体基板1の上面内にp型のウェル領域53が形成されている。

【0014】

ウェル領域3の上面内には、互いに所定距離を成す複数のソース・ドレイン領域4が形成されており、それらの上面内にはコバルトシリサイド膜9が形成されている。また、ウェル領域53の上面内には、互いに所定距離を成す複数のソース・ドレイン領域54が形成されており、それらの上面内にはコバルトシリサイド膜59が形成されている。なお、ソース・ドレイン領域4、54はともにn型の不純物領域である。

【0015】

メモリ形成領域における半導体基板1上には、互いに所定距離を成す複数のゲート構造5が形成されている。各ゲート構造5は、ゲート絶縁膜6と、DRAMメモリセルのワード線として機能するゲート電極7と、サイドウォール8とを備えており、ゲート電極7の上面にはコバルトシリサイド膜19が形成されている。ゲート絶縁膜6、ゲート電極7及びコバルトシリサイド膜19は、半導体基板1からこの順で積層されており、これらで積層構造を成している。サイドウォール8は、この積層構造の側面に形成されている。そして、各ゲート構造5は、互いに隣り合うソース・ドレイン領域4の間の半導体基板1の上面上に設けられおり、コバルトシリサイド膜9は互いに隣り合うゲート構造5の間に設けられている。

【0016】

ロジック形成領域における半導体基板1上には、互いに所定距離を成す複数のゲート構造55が形成されている。各ゲート構造55は、ゲート絶縁膜56と、ゲート電極57と、サイドウォール58とを備えており、ゲート電極57の上面にはコバルトシリサイド膜69が形成されている。ゲート絶縁膜56、ゲート電極57及びコバルトシリサイド膜69は、半導体基板1からこの順で積層されており、これらで積層構造を成している。サイドウォール58は、この積層構造の側面に形成されている。そして、各ゲート構造55は、互いに隣り合うソース・ドレイン領域54の間の半導体基板1の上面上に設けられおり、コバルトシリサイド膜59は互いに隣り合うゲート構造55の間に設けられている。

【0017】

ゲート構造5と、互いに隣り合う一対のソース・ドレイン領域4と、ウェル領域3とで、DRAMメモリセルのMOSトランジスタを構成し、ゲート構造55と、互いに隣り合う一対のソース・ドレイン領域54と、ウェル領域53とで、ロジックデバイスとして機能するMOSトランジスタを構成している。なお、各ゲート絶縁膜6、56には例えばシリコン酸化膜が採用され、各ゲート電極7、57には例えば多結晶シリコン膜が採用される。

【0018】

メモリ形成領域のコバルトシリサイド膜9は、ロジック形成領域のコバルトシリサイド膜59よりも薄く形成されている。そのため、コバルトシリサイド膜9の膜厚 t_m は、コバルトシリサイド膜59の膜厚 t_{r1} よりも小さい。

【0019】

また、ゲート構造5、55の高さ h は互いに同じであって、互いに隣り合うゲート構造

5 の距離 d_m は、互いに隣り合うゲート構造 5 5 間の距離 d_{r1} よりも小さく設定されている。従って、メモリ形成領域におけるゲートアスペクト比は、ロジック形成領域におけるゲートアスペクト比よりも大きい。

【0020】

ここで、ゲートアスペクト比とは、ゲート構造の高さと、互いに隣り合うゲート構造間の距離との比である。具体的には、メモリ形成領域におけるゲートアスペクト比は、ゲート構造 5 の高さ h を、互いに隣り合うゲート構造 5 間の距離 d_m で除算した値である。また、ロジック形成領域におけるゲートアスペクト比は、ゲート構造 5 5 の高さ h を、互いに隣り合うゲート構造 5 5 間の距離 d_{r1} で除算した値である。以後、ゲート構造 5 の高さ h をゲート構造 5 間の距離 d_m で除算した値を「第 1 のゲートアスペクト比」と呼び、ゲート構造 5 5 の高さ h をゲート構造 5 5 間の距離 d_{r1} で除算した値を「第 2 のゲートアスペクト比」と呼ぶ。

【0021】

本実施の形態 1 では、第 1 のゲートアスペクト比は 0.8 よりも大きく設定されており、第 2 のゲートアスペクト比は 0.8 以下に設定されている。

【0022】

メモリ形成領域及びロジック形成領域における半導体基板 1 上には、ゲート構造 5、5 5 及びコバルトシリサイド膜 19、69 を覆って、層間絶縁膜 20 が形成されている。層間絶縁膜 20 内には複数のコンタクトプラグ 10 が形成されており、それらは、コバルトシリサイド膜 9 に接続されている。これにより、ソース・ドレイン領域 4 とコンタクトプラグ 10 とが電氣的に接続される。なお、コンタクトプラグ 10 の上面は層間絶縁膜 20 から露出している。

【0023】

層間絶縁膜 20 及びコンタクトプラグ 10 の上には、層間絶縁膜 21、22 から成る絶縁層 23 が形成されている。絶縁層 23 内には、DRAM メモリセルのキャパシタ 11 が複数形成されており、各キャパシタ 11 は、下部電極 12 と誘電体膜 13 と上部電極 14 とを備えている。そして、上部電極 14 は誘電体膜 13 を介して下部電極 12 に対向して設けられている。

【0024】

キャパシタ 11 の下部電極 12 は、複数のコンタクトプラグ 10 の一部、具体的には、互いに隣り合うソース・ドレイン領域 4 の一方に電氣的に接続されたコンタクトプラグ 10 に接続されている。これにより、互いに隣り合うソース・ドレイン領域 4 の一方に形成されたコバルトシリサイド膜 9 とキャパシタ 11 とが互いに電氣的に接続される。

【0025】

また、絶縁層 23 内には複数のコンタクトプラグ 15 が形成されている。コンタクトプラグ 15 は、キャパシタ 11 と電氣的に接続されていないコンタクトプラグ 10 と接続されている。そして、層間絶縁膜 20 及び絶縁層 23 には、複数のコンタクトプラグ 60 が形成されている。コンタクトプラグ 60 は、ソース・ドレイン領域 54 に形成されたコバルトシリサイド膜 59 に接続されている。なお、各コンタクトプラグ 15、60 の上面は、絶縁層 23 から露出している。

【0026】

絶縁層 23 上には、コンタクトプラグ 15 と接触してメタル配線 16 が、コンタクトプラグ 60 と接触してメタル配線 66 が形成されている。なお、メタル配線 16 は、DRAM メモリセルのビット線であって、キャパシタ 11 の上方に位置している。

【0027】

上述のように、本実施の形態 1 に係る半導体装置では、ソース・ドレイン領域 4 の上面内に形成されたコバルトシリサイド膜 9 が、ソース・ドレイン領域 54 の上面内に形成されたコバルトシリサイド膜 59 よりも薄いので、コバルトシリサイド膜 9 とウェル領域 3 との間の距離が、コバルトシリサイド膜 59 とウェル領域 53 との間の距離よりも長くなる。そのため、ソース・ドレイン領域 4 とウェル領域 3 との間のリーク電流を、ソース・

ドレイン領域 54 とウェル領域 53 との間のリーク電流よりも低減することができる。

【0028】

一方、コバルトシリサイド膜 59 は、コバルトシリサイド膜 9 よりも厚いため、ソース・ドレイン領域 54 をソース・ドレイン領域 4 よりも低抵抗化できる。従って、ロジック形成領域のソース・ドレイン領域 54 の低抵抗化と、コバルトシリサイド膜 9 に電氣的に接続されたキャパシタ 11 の低リーク電流化とを両立させることができる。

【0029】

また、ソース・ドレイン領域 54 にコバルトシリサイド膜 59 が形成されているため、ロジック形成領域に設けられた MOS トランジスタを高速動作させることができる。

【0030】

次に、図 1 に示す半導体装置の製造方法について説明する。図 2 ～ 7 は図 1 に示す半導体装置の製造方法を工程順に示す断面図である。まず、図 2 に示されるように、周知の L O C O S 分離技術やトレンチ分離技術によって、半導体基板 1 の上面内に素子分離絶縁膜 2 を形成する。そして、メモリ形成領域及びロジック形成領域における半導体基板 1 の上面内に、ウェル領域 3、53 をそれぞれ形成する。

【0031】

次に、例えば半導体基板 1 を熱酸化して半導体基板 1 の上面にシリコン酸化膜を形成し、その後、全面に多結晶シリコン膜を形成する。そして、所定の開口パターンを有するレジストを用いて、当該シリコン酸化膜及び多結晶シリコン膜をエッチングする。これにより、図 3 に示されるように、メモリ形成領域にゲート絶縁膜 6 及びゲート電極 7 が形成され、ロジック形成領域にゲート絶縁膜 56 及びゲート電極 57 が形成される。

【0032】

そして、素子分離絶縁膜 2、ゲート絶縁膜 6、56 及びゲート電極 7、57 をマスクに用いて、リンやヒ素等の不純物を、比較的低濃度で半導体基板 1 の上面内にイオン注入する。これにより、図 3 に示されるように、メモリ形成領域における半導体基板 1 の上面内に n-型の不純物領域 4a が形成されるとともに、ロジック形成領域における半導体基板 1 の上面内に n-型の不純物領域 54a が形成される。

【0033】

次に、例えば C V D 法によってシリコン窒化膜を全面に形成した後に、半導体基板 1 の深さ方向にエッチングレートが高い異方性ドライエッチング法によって、かかるシリコン窒化膜をエッチングする。これにより、図 4 に示されるように、ともにシリコン窒化膜からなるサイドウォール 8、58 が形成され、ゲート構造 5、55 が半導体基板 1 上に完成する。

【0034】

そして、ゲート構造 5、55 及び素子分離絶縁膜 2 をマスクに用いて、リンやヒ素等の不純物を、比較的高濃度で半導体基板 1 の上面内にイオン注入する。これにより、図 4 に示されるように、メモリ形成領域における半導体基板 1 の上面内に n+型の不純物領域 4b が形成されるとともに、ロジック形成領域における半導体基板 1 の上面内に n+型の不純物領域 54b が形成される。

【0035】

以上の図 3、4 を参照して説明した工程により、メモリ形成領域における半導体基板 1 上に複数のゲート構造 5 が形成されるとともに、互いに隣り合うゲート構造 5 の間のウェル領域 3 の上面内に、不純物領域 4a、4b から成るソース・ドレイン領域 4 が形成されて、D R A M メモリセルの MOS トランジスタが完成する。また、ロジック形成領域における半導体基板 1 上に複数のゲート構造 55 が形成されるとともに、互いに隣り合うゲート構造 55 の間のウェル領域 53 の上面内に、不純物領域 54a、54b から成るソース・ドレイン領域 54 が形成されて、ロジックデバイスとして機能する MOS トランジスタが完成する。

【0036】

次に図 5 に示されるように、図 4 に示す構造の上方から、無指向性スパッタ法を用いて

、コバルトから成る金属材料 25 を全面に堆積する。ここで、無指向性スパッタ法とは、コーレーションスパッタ法に代表される直線性の良いスパッタ法とは異なり、スパッタリングによりターゲットから弾き飛ばされた金属材料の飛翔方向を、半導体基板の深さ方向に揃えるための特別な手段は用いられていないスパッタ法である。そのため、この無指向性スパッタ法では、ターゲットから弾き飛ばされた金属材料は、四方八方のベクトルを持って半導体基板上に堆積される。

【0037】

このような無指向性スパッタ法を用いて、複数のゲート構造が所定間隔で形成された半導体基板上に、上方から金属材料を堆積すると、互いに隣り合うゲート構造の間のソース・ドレイン領域上に堆積される金属材料の膜厚は、ゲートアスペクト比に依存する。上述のように、無指向性スパッタ法では、金属材料の飛翔方向は四方八方のベクトルを有するため、ゲートアスペクト比が大きくなると、ゲート構造の側面に堆積する金属材料の膜厚が大きくなり、その反面ソース・ドレイン領域に堆積する金属材料の膜厚は小さくなる。

【0038】

本実施の形態 1 では、メモリ形成領域のゲート構造 5 の高さ t_g とゲート構造 5 間の距離 L_g とで規定される第 1 のゲートアスペクト比 $AR_1 = t_g / L_g$ は、ロジック形成領域のゲート構造 55 の高さ t_{g55} とゲート構造 55 間の距離 L_{g55} とで規定される第 2 のゲートアスペクト比 $AR_2 = t_{g55} / L_{g55}$ よりも大きく設定されている。従って、無指向性スパッタ法を用いて金属材料 25 を全面に堆積すると、図 5 に示されるように、ソース・ドレイン領域 4 上の金属材料 25 の厚み t_{mm} が、ソース・ドレイン領域 54 上の金属材料 25 の厚み t_{mr1} よりも小さくなる。

【0039】

次に、例えばランプアニール装置を用いて熱処理を行うことにより、金属材料 25 と、それに接触しているシリコンとを互いに反応させる。つまり、金属材料 25 と、それに接触している半導体基板 1 及びゲート電極 7、57 とを互いに反応させる。そして、未反応の金属材料 25 を除去する。

【0040】

これにより、図 6 に示されるように、半導体基板 1 の上面が部分的にシリサイド化されて、ソース・ドレイン領域 4、54 の上面内にコバルトシリサイド膜 9、59 がそれぞれ形成される。同時に、ゲート電極 7、57 の上面がシリサイド化されて、ゲート電極 7、57 にコバルトシリサイド膜 19、69 がそれぞれ形成される。

【0041】

このとき、ソース・ドレイン領域 4 に堆積していた金属材料 25 の膜厚 t_{mm} はソース・ドレイン領域 54 に堆積していた金属材料 25 の膜厚 t_{mr1} より小さいため、ソース・ドレイン領域 4 に形成されるコバルトシリサイド膜 9 の膜厚 t_m は、ソース・ドレイン領域 54 に形成されるコバルトシリサイド膜 59 の膜厚 t_{r1} よりも小さくなる。

【0042】

次に図 7 に示されるように、ゲート構造 5、55 及びコバルトシリサイド膜 19、69 を覆って層間絶縁膜 20 を半導体基板 1 上に形成する。そして、コンタクトプラグ 10 を層間絶縁膜 20 内に形成する。具体的には、まず、所定の開口パターンを有するレジスト（図示せず）を層間絶縁膜 20 上に形成する。次に、かかるレジストを用いて層間絶縁膜 20 をエッチングして、コバルトシリサイド膜 9 に達するコンタクトホール（図示せず）を層間絶縁膜 20 に形成する。そして、このコンタクトホールを充填するコンタクトプラグを形成することにより、層間絶縁膜 20 に複数のコンタクトプラグ 10 が形成される。

【0043】

次に、層間絶縁膜 20 及びコンタクトプラグ 10 の上に、層間絶縁膜 21 を形成する。そして、隣り合うソース・ドレイン領域 4 の一方に電氣的に接続されたコンタクトプラグ 10 を露出させる開口部（図示せず）を層間絶縁膜 21 内に形成する。

【0044】

次に図 7 に示されるように、露出しているコンタクトプラグ 10 に接触する、DRAM メモリセルのキャパシタ 11 を開口部内に形成する。具体的には、まず例えばルテニウム

等の高融点金属を含む金属膜を全面に形成する。そして、開口部をレジストで覆って、層間絶縁膜 21 の上面上の金属膜を異方性ドライエッチングで除去する。これにより、ルテニウム等の高融点金属を含むキャパシタ 11 の下部電極 12 が、開口部内に形成される。次に、例えば五酸化タンタルから成る絶縁膜と、ルテニウム等の高融点金属を含む金属膜とをこの順で全面に積層した後、レジストを用いてこれらをパターンニングする。これにより、五酸化タンタルから成るキャパシタ 11 の誘電体膜 13 と、ルテニウム等の高融点金属を含むキャパシタ 11 の上部電極 14 とが形成され、開口部内にキャパシタ 11 が完成する。

【0045】

次に層間絶縁膜 22 を全面に形成し、CMP 法によって平坦化する。これにより、キャパシタ 11 を覆う層間絶縁膜 22 が層間絶縁膜 21 上に形成され、絶縁層 23 が完成する。

【0046】

次に、キャパシタ 11 と電氣的に接続されていないコンタクトプラグ 10 を露出させるコンタクトホール（図示せず）を絶縁層 23 に形成するとともに、ロジック形成領域のコバルトシリサイド膜 59 を露出させるコンタクトホール（図示せず）を絶縁層 23 及び層間絶縁膜 20 に形成する。そして、各コンタクトホールを充填するコンタクトプラグを形成することにより、絶縁層 23 にはコンタクトプラグ 15 が、絶縁層 23 及び層間絶縁膜 20 にはコンタクトプラグ 60 がそれぞれ形成される。

【0047】

次に、コンタクトプラグ 15 と接触するメタル配線 16 と、コンタクトプラグ 60 と接触するメタル配線 66 とを絶縁層 23 上に形成する。

【0048】

以上の工程により、図 1 に示す本実施の形態 1 に係る半導体装置が完成する。

【0049】

このように、本実施の形態 1 では、メモリ形成領域における第 1 のゲートアスペクト比が、ロジック形成領域における第 2 のゲートアスペクト比よりも大きいため、無指向性スパッタ法を用いることによって、ソース・ドレイン領域 4 上の金属材料 25 が、ソース・ドレイン領域 54 上の金属材料 25 よりも薄くなる。従って、ソース・ドレイン領域 4 の上面内に形成されるコバルトシリサイド膜 9 が、ソース・ドレイン領域 54 の上面内に形成されるコバルトシリサイド膜 59 よりも薄くなる。

【0050】

言い換えれば、第 1 のゲートアスペクト比が、第 2 のゲートアスペクト比よりも大きく設定されているため、無指向性スパッタ法を用いることによって、コバルトシリサイド膜 9 をコバルトシリサイド膜 59 よりも簡単に薄くすることができる。

【0051】

従って、ソース・ドレイン領域 4 とウェル領域 3 との間のリーク電流を、ソース・ドレイン領域 54 とウェル領域 53 との間のリーク電流よりも低減することができる。

【0052】

一方、コバルトシリサイド膜 59 は、コバルトシリサイド膜 9 よりも厚くなるため、ソース・ドレイン領域 54 をソース・ドレイン領域 4 よりも低抵抗化できる。従って、ロジック形成領域のソース・ドレイン領域 54 の低抵抗化と、コバルトシリサイド膜 9 に電氣的に接続されたキャパシタ 11 の低リーク電流化とを両立させることができる。

【0053】

また、本実施の形態 1 では、第 1 のゲートアスペクト比が 0.8 よりも大きく設定されているため、メモリ形成領域のコバルトシリサイド膜 9 を簡単に薄くできる。以下に、このことについて説明する。

【0054】

図 8 は、ゲートアスペクト比とシリサイド膜の膜厚との関係を示す図である。図 8 では、シリサイド膜の形成に、無指向性スパッタ法を用いた場合の特性を実線で示し、直線性

の良いスパッタ法を用いた場合の特性を一点鎖線で示している。図8に示されるように、ゲートアスペクト比が0.8よりも大きくなると、シリサイド膜の膜厚は急激に小さくなり、その変化率が大きくなる。従って、本実施の形態1のように、第1のゲートアスペクト比を0.8よりも大きくすることによって、コバルトシリサイド膜9を簡単に薄くすることができる。

【0055】

実施の形態2.

図9は本発明の実施の形態2に係る半導体装置の構造を示す断面図である。本実施の形態2に係る半導体装置は、上述の実施の形態1に係る半導体装置において、基本的には、ロジック形成領域に、第2のゲートアスペクト比よりも大きいゲートアスペクト比を有する領域を更に備えるものである。本実施の形態2では、実施の形態1で説明した第2のゲートアスペクト比を有する領域を「第1領域」と呼び、本実施の形態2で新たに追加した、第2のゲートアスペクト比よりも大きいゲートアスペクト比を有する領域を「第2領域」と呼ぶ。

【0056】

図9に示されるように、本実施の形態2に係る半導体装置では、ロジック形成領域の第2領域における半導体基板1の上面内には、p型の不純物領域であるウェル領域83が形成されている。そして、ウェル領域83の上面内には、互いに所定距離を成す複数のソース・ドレイン領域84が形成されており、それらの上面内にはコバルトシリサイド膜89が形成されている。なお、ソース・ドレイン領域84はn型の不純物領域である。

【0057】

第2領域における半導体基板1上には、互いに所定距離を成す複数のゲート構造85が形成されている。各ゲート構造85は、ゲート絶縁膜86と、ゲート電極87と、サイドウォール88とを備えており、ゲート電極87の上面にはコバルトシリサイド膜99が形成されている。ゲート絶縁膜86、ゲート電極87及びコバルトシリサイド膜99は、半導体基板1からこの順で積層されており、これらで積層構造を成している。サイドウォール88は、この積層構造の側面に形成されている。そして、各ゲート構造85は、互いに隣り合うソース・ドレイン領域84の間の半導体基板1の上面上に設けられおり、コバルトシリサイド膜89は互いに隣り合うゲート構造85の間に設けられている。

【0058】

ゲート構造85と、互いに隣り合う一対のソース・ドレイン領域84と、ウェル領域83とで、ロジックデバイスとして機能するMOSトランジスタが構成される。なお、ゲート絶縁膜86には例えばシリコン酸化膜が採用され、ゲート電極87には例えば多結晶シリコン膜が採用される。

【0059】

第2領域のコバルトシリサイド膜89は、第1領域のコバルトシリサイド膜59よりも薄く形成されている。また、ゲート構造85の高さhはゲート構造55と同じであって、互いに隣り合うゲート構造85間の距離 d_{r2} は、ゲート構造55間の距離 d_{r1} よりも小さく設定されている。従って、ゲート構造85の高さhをゲート構造85間の距離 d_{r2} で除算した値で示される、第2領域におけるゲートアスペクト比は、第1領域における第2のゲートアスペクト比よりも大きくなっている。以後、第2領域のゲートアスペクト比を「第3のゲートアスペクト比」と呼ぶ。

【0060】

本実施の形態2では、第1, 3のゲートアスペクト比が0.8よりも大きく設定されており、第2のゲートアスペクト比が0.8以下に設定されている。

【0061】

層間絶縁膜20は、第2領域における半導体基板1上にも、ゲート構造85及びコバルトシリサイド膜99を覆って形成されている。そして、第2領域における層間絶縁膜20上にも絶縁層23が形成されている。

【0062】

第2領域における層間絶縁膜20内には、それを貫通して複数のコンタクトプラグ90が形成されている。コンタクトプラグ90は、ソース・ドレイン領域84に形成されたコバルトシリサイド膜89に接続されており、その上面は層間絶縁膜20から露出している。

【0063】

第2領域における絶縁層23内には、それを貫通して複数のコンタクトプラグ95が形成されている。コンタクトプラグ95は、下層のコンタクトプラグ90と接続されており、その上面は絶縁層23から露出している。そして、第2領域における絶縁層23上には、コンタクトプラグ95と接触してメタル配線96が形成されている。

【0064】

このように、第2領域では、メモリ形成領域と同様に、上層のメタル配線とコバルトシリサイド膜とを接続するためにスタック構造が採用されている。

【0065】

以上のように、本実施の形態2に係る半導体装置では、コバルトシリサイド膜89はコバルトシリサイド膜59よりも薄いため、ソース・ドレイン領域84とウェル領域83との間のリーク電流を、ソース・ドレイン領域54とウェル領域53との間のリーク電流よりも低減することができる。従って、ロジックデバイスのうち、リーク電流を抑制したい回路を第2領域に形成することによって、確実にその回路のリーク電流を低減することができる。

【0066】

一方、コバルトシリサイド膜59はコバルトシリサイド膜89よりも厚いため、ソース・ドレイン領域54をソース・ドレイン領域84よりも低抵抗化できる。従って、動作速度が重要視される回路、例えば「クリティカル・パス」と呼ばれるロジックデバイスの速度性能を決定する回路を、ソース・ドレイン領域54を利用して形成することによって、かかる回路の動作速度を確実に向上することができ、その結果、ロジックデバイス全体の動作速度を向上することができる。

【0067】

また、ソース・ドレイン領域54、84にコバルトシリサイド膜59、89がそれぞれ形成されているため、ソース・ドレイン領域54を有するMOSトランジスタの高速動作の実現と、ソース・ドレイン領域84を有するMOSトランジスタのリーク電流の低減とが可能になる。

【0068】

次に、図9に示す半導体装置の製造方法について説明する。図10～17は図9に示す半導体装置の製造方法を工程順に示す断面図である。まず、図10に示されるように、半導体基板1の上面内に素子分離絶縁膜2を形成した後に、ウェル領域3、53とともに、ロジック形成領域の第2領域における半導体基板1の上面内にウェル領域83を形成する。

【0069】

次に、例えば半導体基板1を熱酸化して半導体基板1の上面にシリコン酸化膜を形成し、その後、全面に多結晶シリコン膜を形成する。そして、所定の開口パターンを有するレジストを用いて、当該シリコン酸化膜及び多結晶シリコン膜をエッチングする。これにより、図11に示されるように、ゲート絶縁膜6、56及びゲート電極7、57が形成されるとともに、第2領域にゲート絶縁膜86及びゲート電極87が形成される。

【0070】

そして、素子分離絶縁膜2、ゲート絶縁膜6、56、86及びゲート電極7、57、87をマスクに用いて、リンやヒ素等の不純物を、比較的低濃度で半導体基板1の上面内にイオン注入する。これにより、図11に示されるように、不純物領域4a、54aが形成されるとともに、第2領域における半導体基板1の上面内にn型の不純物領域84aが形成される。

【0071】

次に、例えばCVD法によってシリコン窒化膜を全面に形成した後に、半導体基板1の深さ方向にエッチングレートが高い異方性ドライエッチング法によって、かかるシリコン窒化膜をエッチングする。これにより、図12に示されるように、サイドウォール8、58が形成されるとともに、シリコン窒化膜から成るサイドウォール88が形成され、ゲート構造5、55、85が半導体基板1上に完成する。

【0072】

そして、ゲート構造5、55、85及び素子分離絶縁膜2をマスクに用いて、リンやヒ素等の不純物を、比較的高濃度で半導体基板1の上面内にイオン注入する。これにより、図12に示されるように、不純物領域4b、54bが形成されるとともに、第2領域における半導体基板1の上面内にn+型の不純物領域84bが形成される。

【0073】

以上の図11、12を参照して説明した工程により、第2領域における半導体基板1上に複数のゲート構造85が形成されるとともに、互いに隣り合うゲート構造85の間のウェル領域83の上面内に、不純物領域84a、84bから成るソース・ドレイン領域84が形成され、ロジックデバイスとして機能するMOSトランジスタが完成する。

【0074】

次に図13に示されるように、図12に示す構造の上方から、無指向性スパッタ法を用いて、コバルトから成る金属材料25を全面に堆積する。上述のように、無指向性スパッタ法を用いて金属材料25を堆積した場合、ゲートアスペクト比が大きくなると、ソース・ドレイン領域に堆積する金属材料の膜厚は小さくなる。本実施の形態2では、第1、3のゲートアスペクト比よりも第2のゲートアスペクト比の方が小さいため、図13に示されるように、ソース・ドレイン領域54上の金属材料25の厚み t_{mr1} は、ソース・ドレイン領域4上の金属材料25の厚み t_{mm} 、及びソース・ドレイン領域84上の金属材料25の厚み t_{mr2} よりも大きくなる。

【0075】

次に、例えばランプアニール装置を用いて熱処理を行うことにより、金属材料25と、それに接触しているシリコンとを互いに反応させる。つまり、金属材料25と、それに接触している半導体基板1及びゲート電極7、57、87とを互いに反応させる。そして、未反応の金属材料25を除去する。

【0076】

これにより、図14に示されるように、半導体基板1の上面が部分的にシリサイド化されて、コバルトシリサイド膜9、59が形成されるとともに、ソース・ドレイン領域84の上面内にコバルトシリサイド膜89が形成される。同時に、ゲート電極7、57、87の上面がシリサイド化されて、コバルトシリサイド膜19、69が形成されるとともに、ゲート電極87にコバルトシリサイド膜99が形成される。

【0077】

このとき、ソース・ドレイン領域54に堆積していた金属材料25の膜厚 t_{mr1} は、ソース・ドレイン領域4に堆積していた金属材料25の膜厚 t_{mm} 、及びソース・ドレイン領域84に堆積していた金属材料25の膜厚 t_{mr2} よりも大きくなっていたため、ソース・ドレイン領域54に形成されたコバルトシリサイド膜59の膜厚 t_{r1} は、ソース・ドレイン領域4に形成されたコバルトシリサイド膜9の膜厚 t_m 、及びソース・ドレイン領域84に形成されたコバルトシリサイド膜89の膜厚 t_{r2} よりも大きくなる。

【0078】

次に図15に示されるように、ゲート構造5、55、85及びコバルトシリサイド膜19、69、99を覆って半導体基板1上に層間絶縁膜20を形成する。そして図16に示されるように、層間絶縁膜20内にコンタクトプラグ10、90を形成する。具体的には、まず、所定の開口パターンを有するレジスト（図示せず）を層間絶縁膜20上に形成する。次に、かかるレジストを用いて層間絶縁膜20をエッチングして、コバルトシリサイド膜9に達するコンタクトホール（図示せず）と、コバルトシリサイド膜89に達するコンタクトホール（図示せず）とを層間絶縁膜20に形成する。そして、これらのコンタク

トホールを充填するコンタクトプラグを形成することにより、層間絶縁膜 20 にコンタクトプラグ 10, 90 が形成される。

【0079】

次に図 17 に示されるように、層間絶縁膜 20 及びコンタクトプラグ 10, 90 の上に層間絶縁膜 21 を形成し、上述のようにして DRAM メモリセルのキャパシタ 11 を層間絶縁膜 21 内に形成する。そして、層間絶縁膜 22 を全面に形成し、CMP 法によって平坦化する。これにより、層間絶縁膜 20 上に絶縁層 23 が形成されるとともに、当該絶縁層 23 内にキャパシタ 11 が形成される。

【0080】

次に、キャパシタ 11 と電氣的に接続されていないコンタクトプラグ 10 を露出させるコンタクトホール（図示せず）と、コンタクトプラグ 90 を露出させるコンタクトホール（図示せず）とを絶縁層 23 に形成するとともに、第 1 領域のコバルトシリサイド膜 59 を露出させるコンタクトホール（図示せず）を絶縁層 23 及び層間絶縁膜 20 に形成する。そして、各コンタクトホールを充填するコンタクトプラグを形成することにより、コンタクトプラグ 15, 60 が形成されるとともに、第 2 領域における絶縁層 23 内にコンタクトプラグ 95 が形成される。

【0081】

次に、メタル配線 16, 66 と、コンタクトプラグ 95 に接触するメタル配線 96 とを絶縁層 23 上に形成する。これにより、図 9 に示す本実施の形態 2 に係る半導体装置が完成する。

【0082】

このように、本実施の形態 2 では、第 2 領域における第 3 のゲートアスペクト比が、第 1 領域における第 2 のゲートアスペクト比よりも大きいため、第 2 領域のコバルトシリサイド膜 89 が第 1 領域のコバルトシリサイド膜 59 よりも薄くなる。

【0083】

言い換えれば、第 3 のゲートアスペクト比が、第 2 のゲートアスペクト比よりも大きく設定されているため、無指向性スパッタ法を用いることによって、コバルトシリサイド膜 59 よりも薄いコバルトシリサイド膜 89 を簡単に形成することができる。そのため、ソース・ドレイン領域 84 とウェル領域 83 との間のリーク電流を、ソース・ドレイン領域 54 とウェル領域 53 との間のリーク電流よりも低減することができる。従って、ロジックデバイスのうち、リーク電流を抑制したい回路を第 2 領域に形成することによって、確実にその回路のリーク電流を低減することができる。

【0084】

一方、コバルトシリサイド膜 59 はコバルトシリサイド膜 89 よりも厚いため、ソース・ドレイン領域 54 をソース・ドレイン領域 84 よりも低抵抗化できる。従って、動作速度が重要視される回路を、ソース・ドレイン領域 54 を利用して形成することによって、かかる回路の動作速度を確実に向上することができ、その結果、ロジックデバイス全体の動作速度を向上することができる。

【0085】

また、本実施の形態 2 では、第 1, 3 のゲートアスペクト比がともに 0.8 よりも大きく設定されているため、上述の理由により、メモリ形成領域のコバルトシリサイド膜 9 と第 2 領域のコバルトシリサイド膜 89 とともに簡単に薄くできる。

【0086】

また、本実施の形態 2 とは異なり、第 1 領域のように上層のメタル配線 96 とコバルトシリサイド膜 89 とを一つのコンタクトプラグで接続する場合であって、当該コンタクトプラグを複数形成する場合には、プロセス技術の制約により、ゲート構造 85 間の距離 d_r2 が小さくなるにつれて、互いに隣り合うコンタクトプラグ間の絶縁性を維持しつつ上層のメタル配線 96 とコバルトシリサイド膜 89 とを確実に接続することが難しくなる。

【0087】

本実施の形態 2 では、第 2 領域でスタック構造が採用されているため、上層のメタル配

線 96 とコバルトシリサイド膜 89 とを一つのコンタクトプラグで接続する場合よりも、コンタクトプラグ 90, 95 の径を小さくすることができる。従って、本実施の形態 2 のようにコンタクトプラグ 90, 95 から成るコンタクトプラグ対を複数形成し、リーク電流を抑制するためにゲート構造 85 間の距離 d_r2 を小さく設定した場合であっても、互いに隣り合うコンタクトプラグ対の間の絶縁性を維持しつつ上層のメタル配線 96 とコバルトシリサイド膜 89 とを確実に接続することができる。

【図面の簡単な説明】

【0088】

【図 1】 本発明の実施の形態 1 に係る半導体装置の構造を示す断面図である。

【図 2】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 3】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 4】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 5】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 6】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 7】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 8】 ゲートアスペクト比とシリサイド膜の膜厚との関係を示す図である。

【図 9】 本発明の実施の形態 2 に係る半導体装置の構造を示す断面図である。

【図 10】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 11】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 12】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 13】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 14】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 15】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 16】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

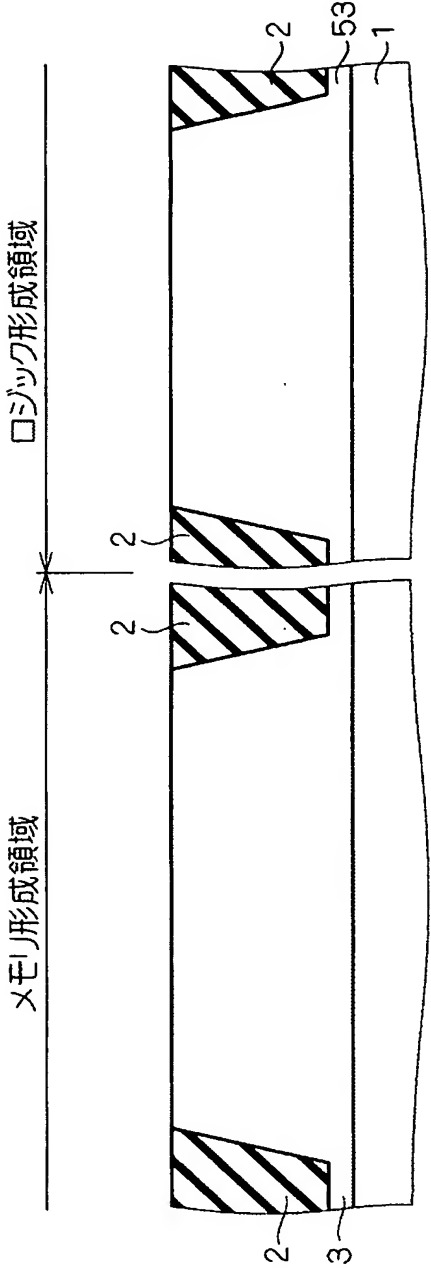
【図 17】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【符号の説明】

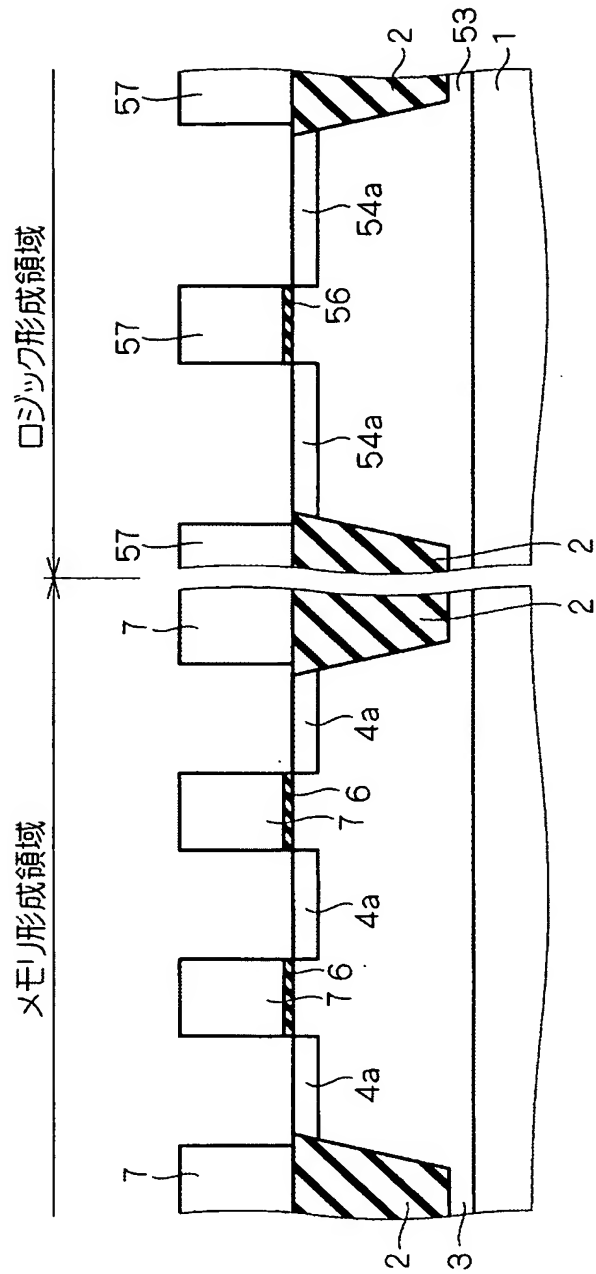
【0089】

1 半導体基板、3, 53, 83 ウェル領域、4, 54, 84 ソース・ドレイン領域、5, 55, 85 ゲート構造、9, 59, 89 コバルトシリサイド膜、11 キャパシタ、20 層間絶縁膜、23 絶縁層、25 金属材料、90, 95 コンタクトプラグ。

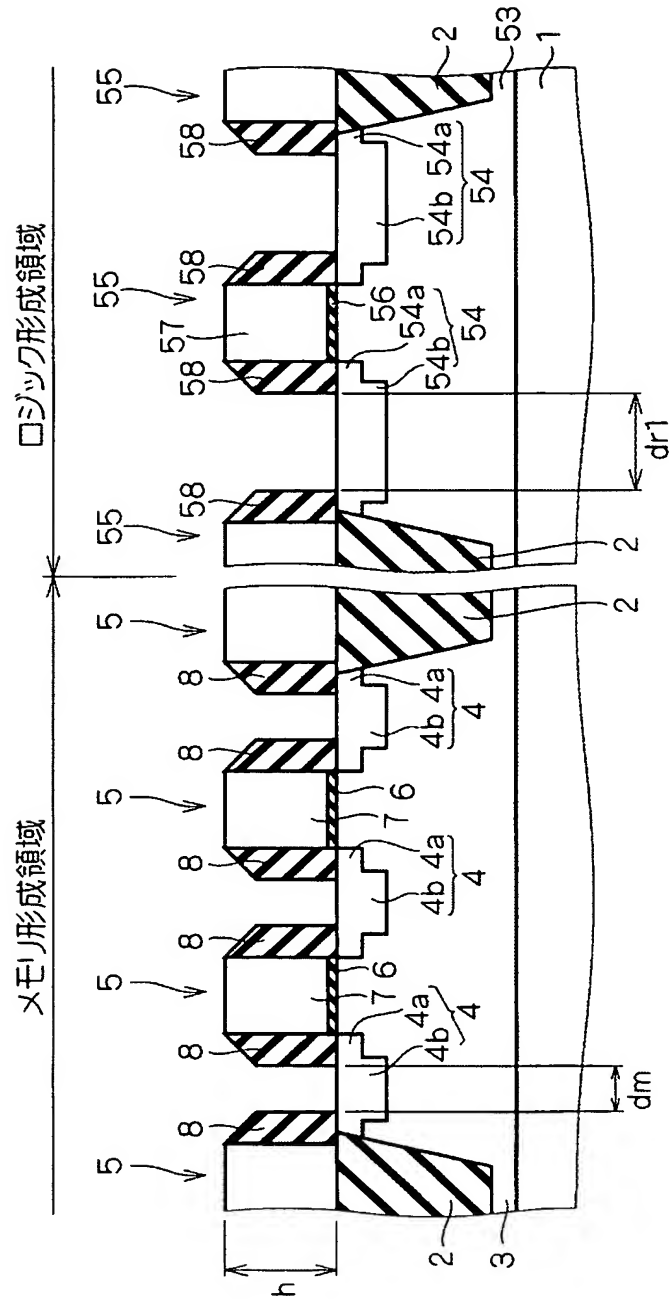
【図 2】



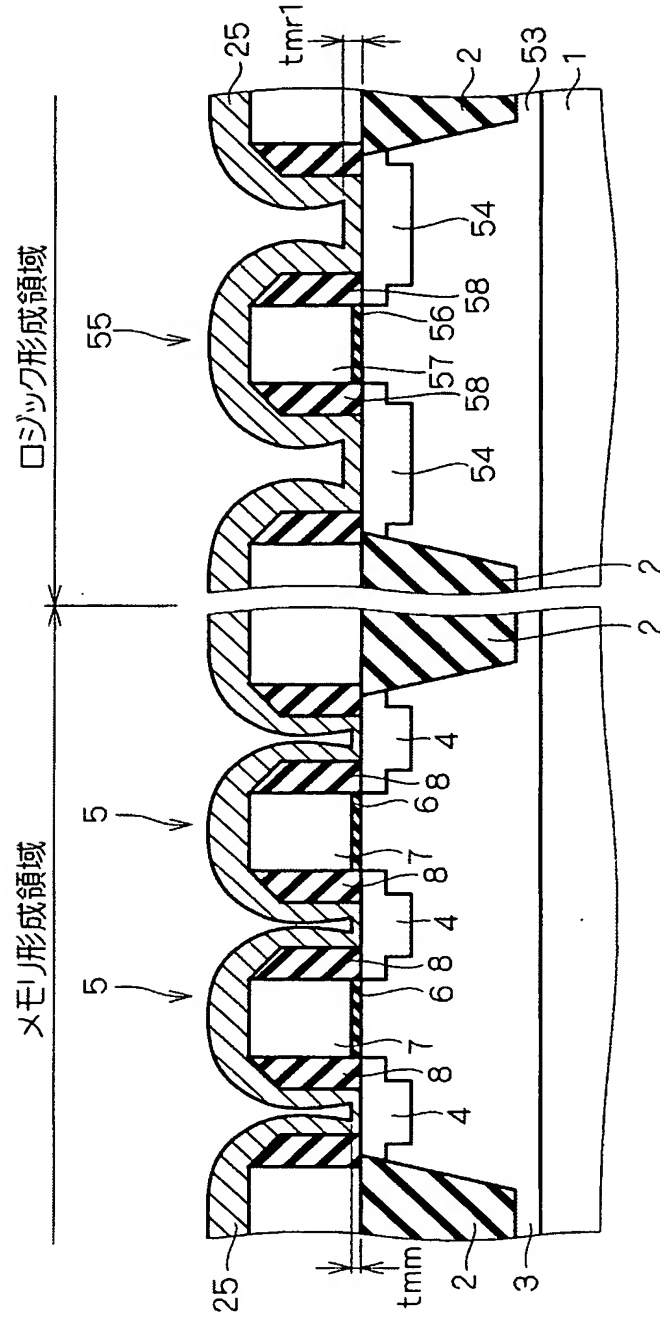
【図 3】



【図 4】

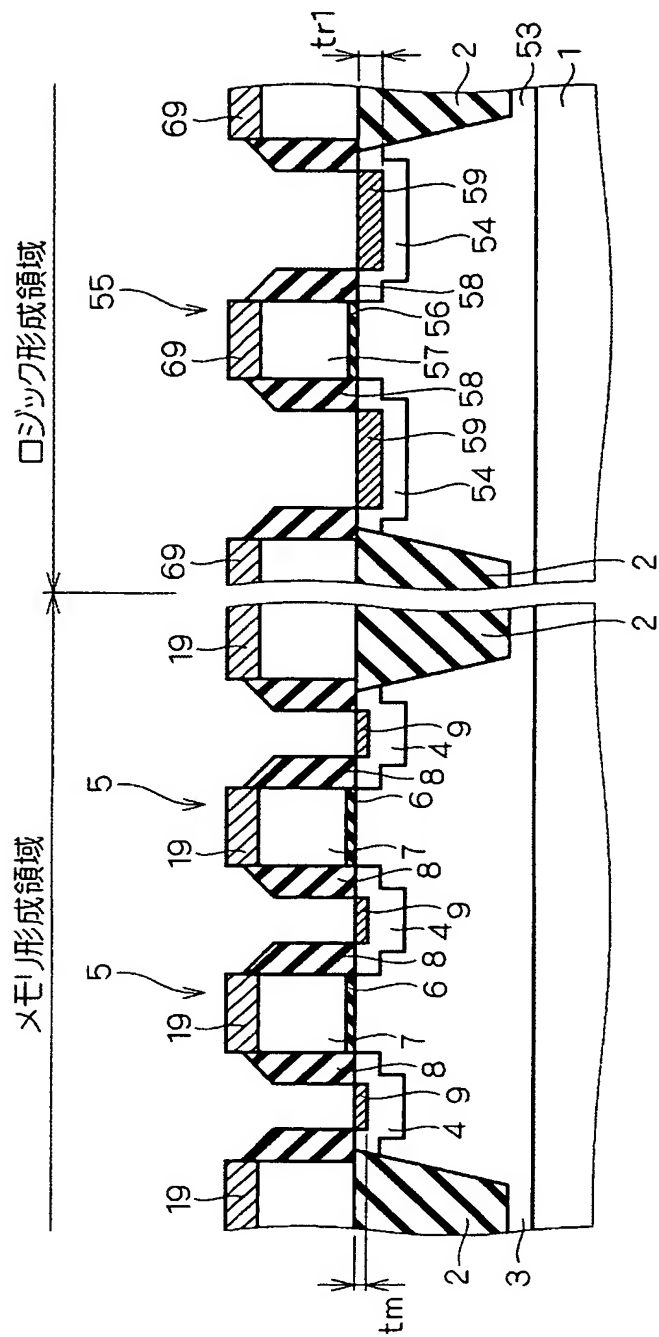


【図 5】

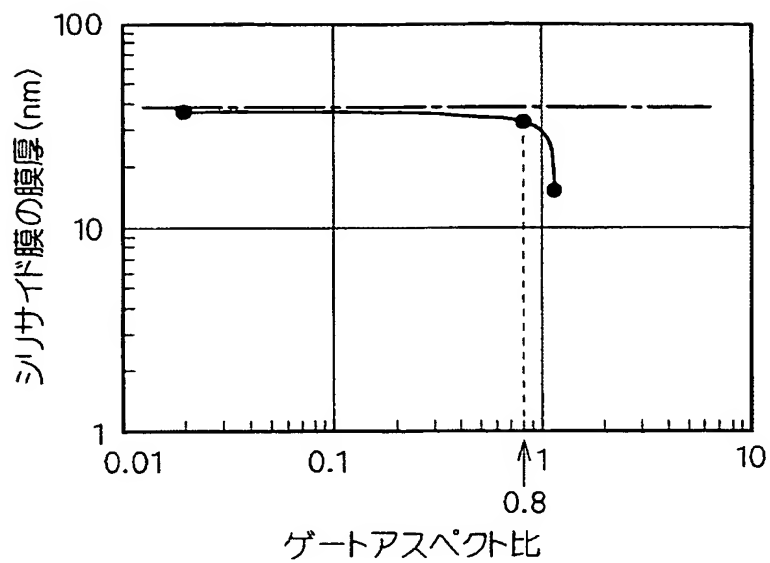


25: 金属材料

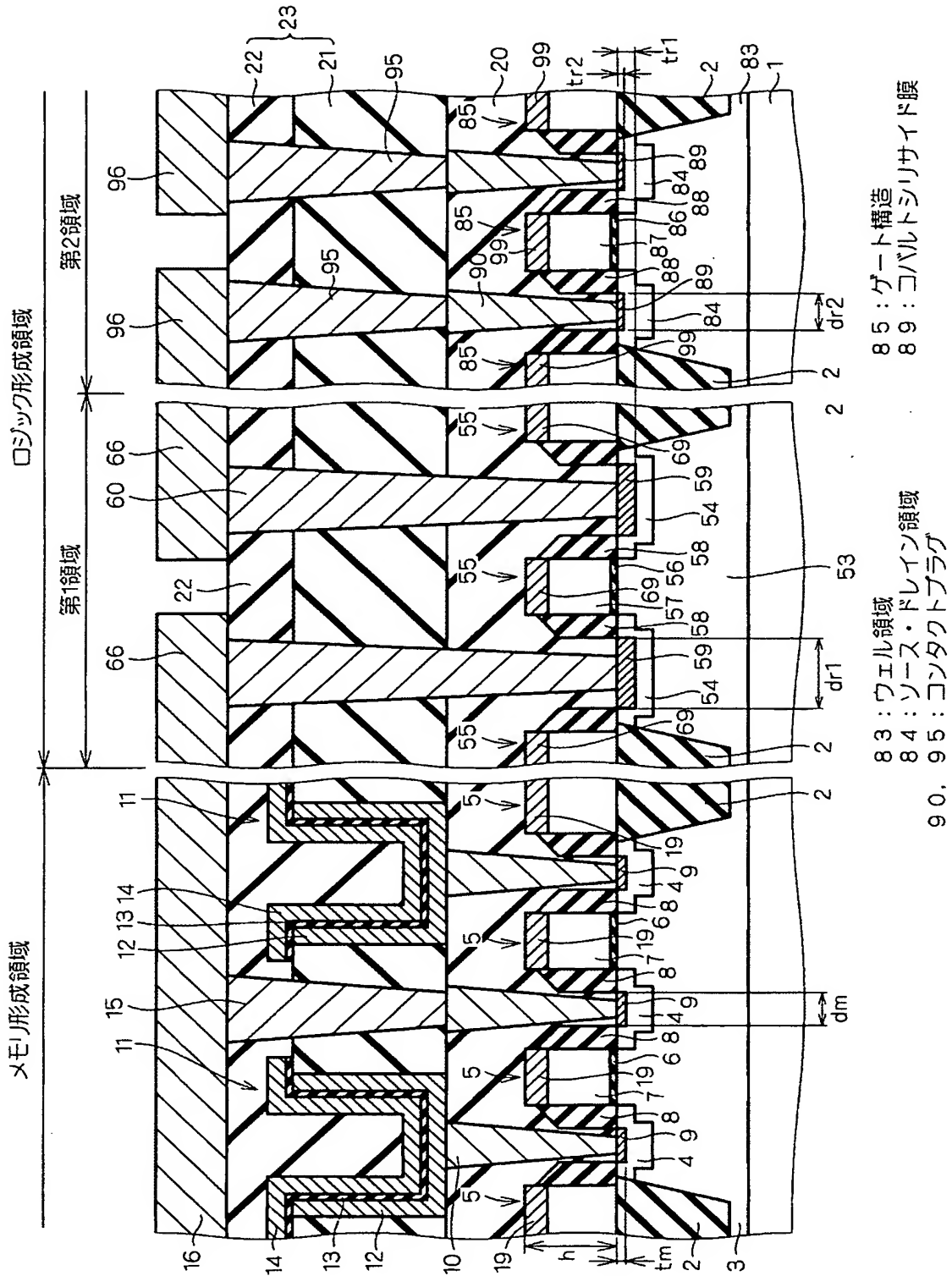
【図 6】



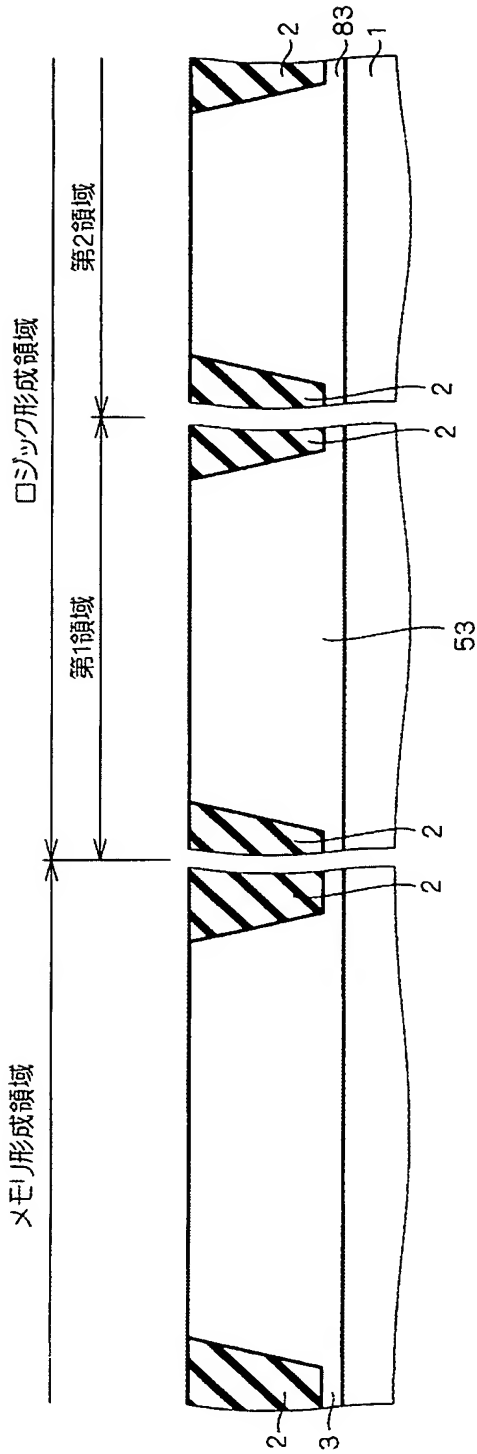
【図 8】



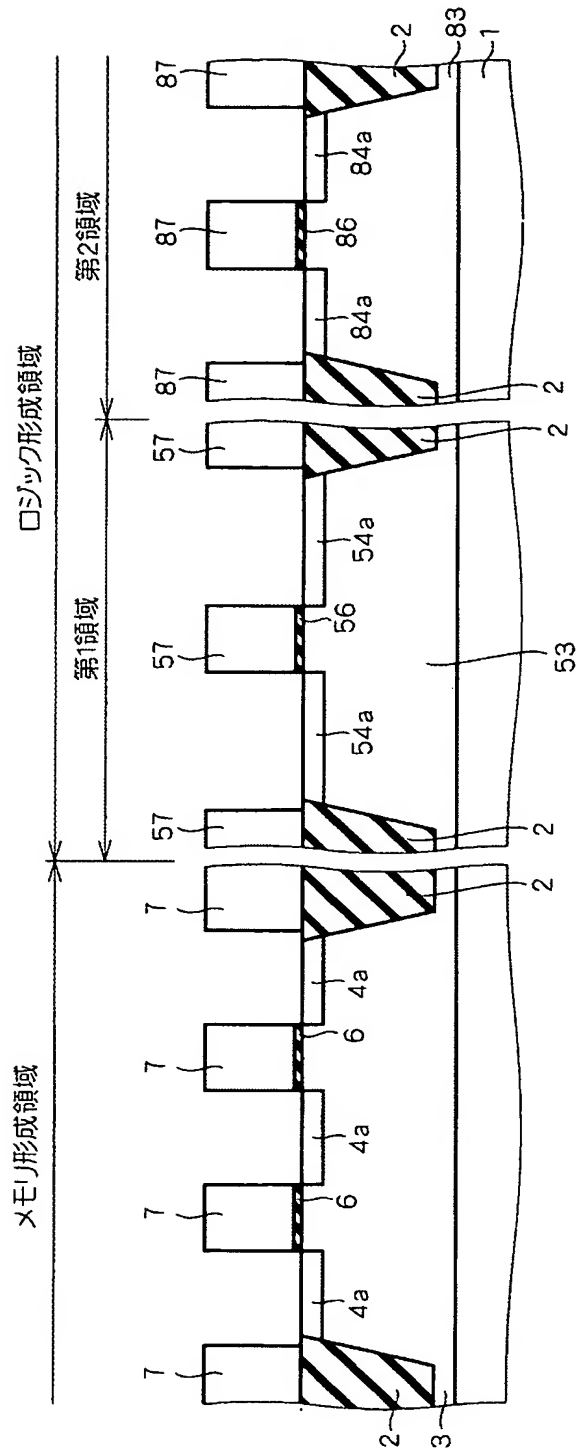
【図 9】



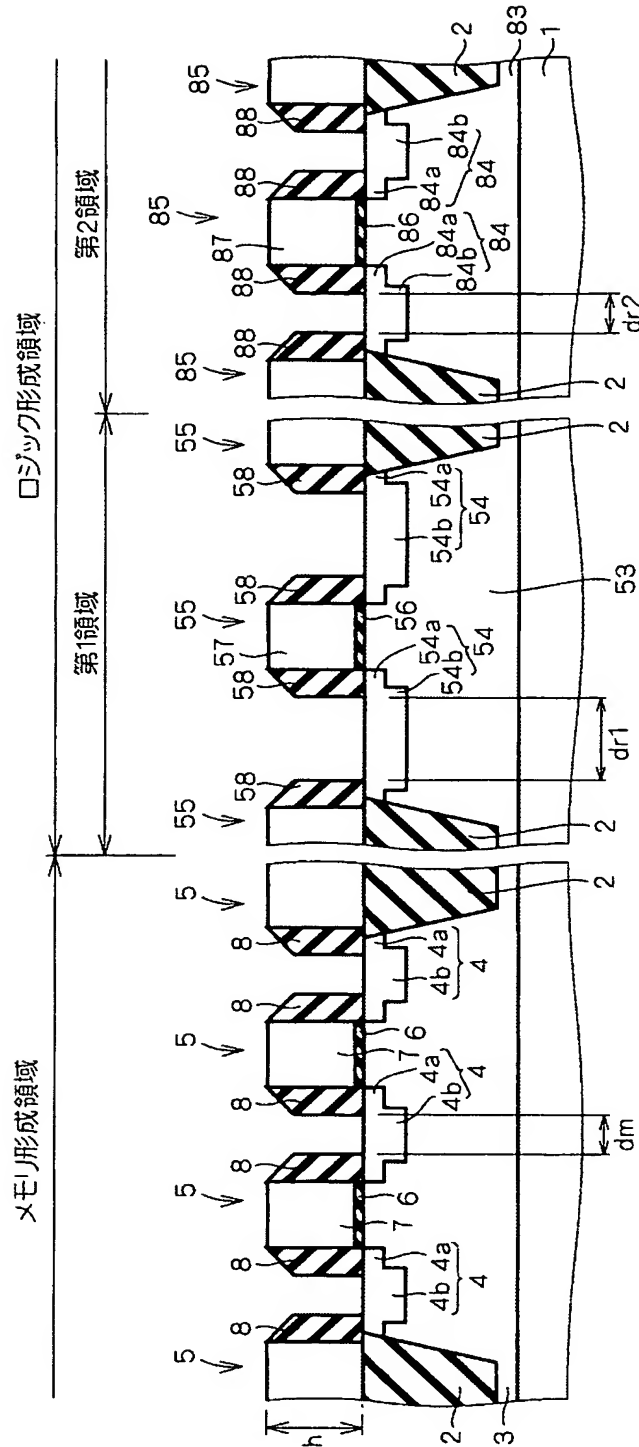
【図 1 0】



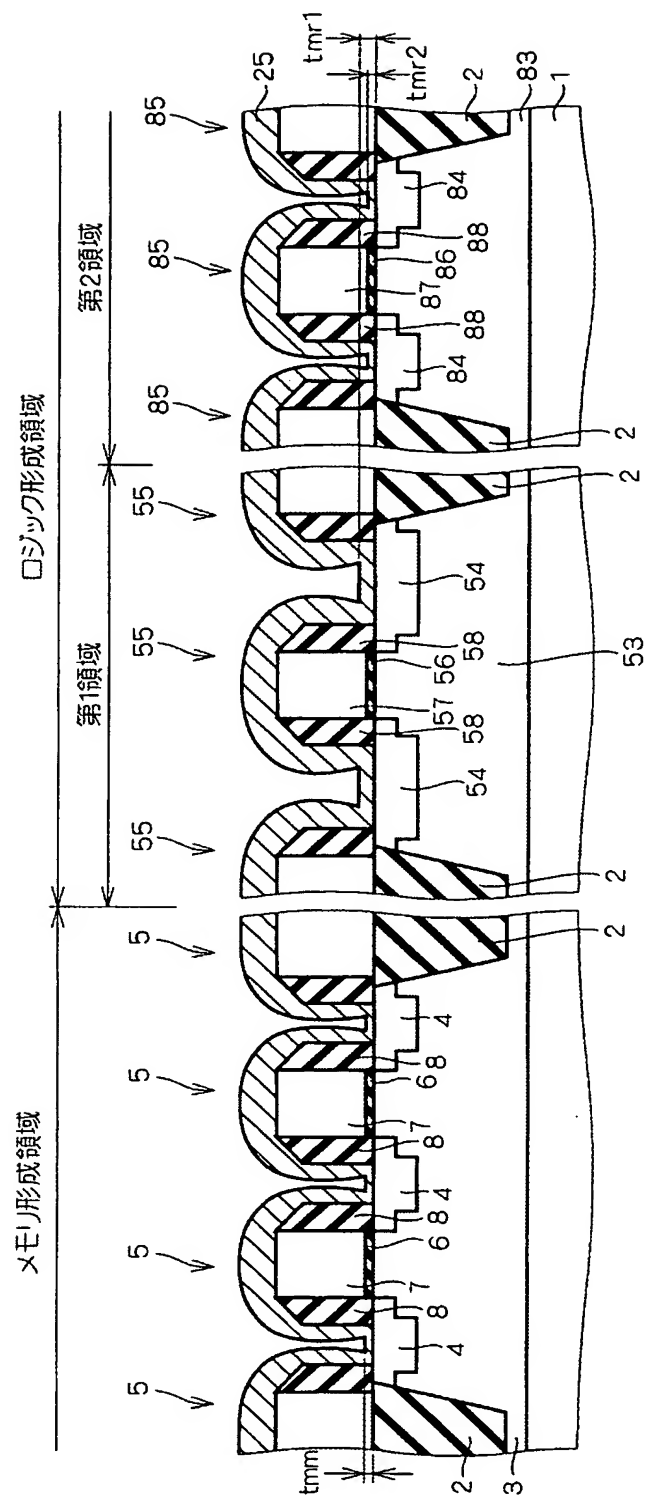
【図 11】



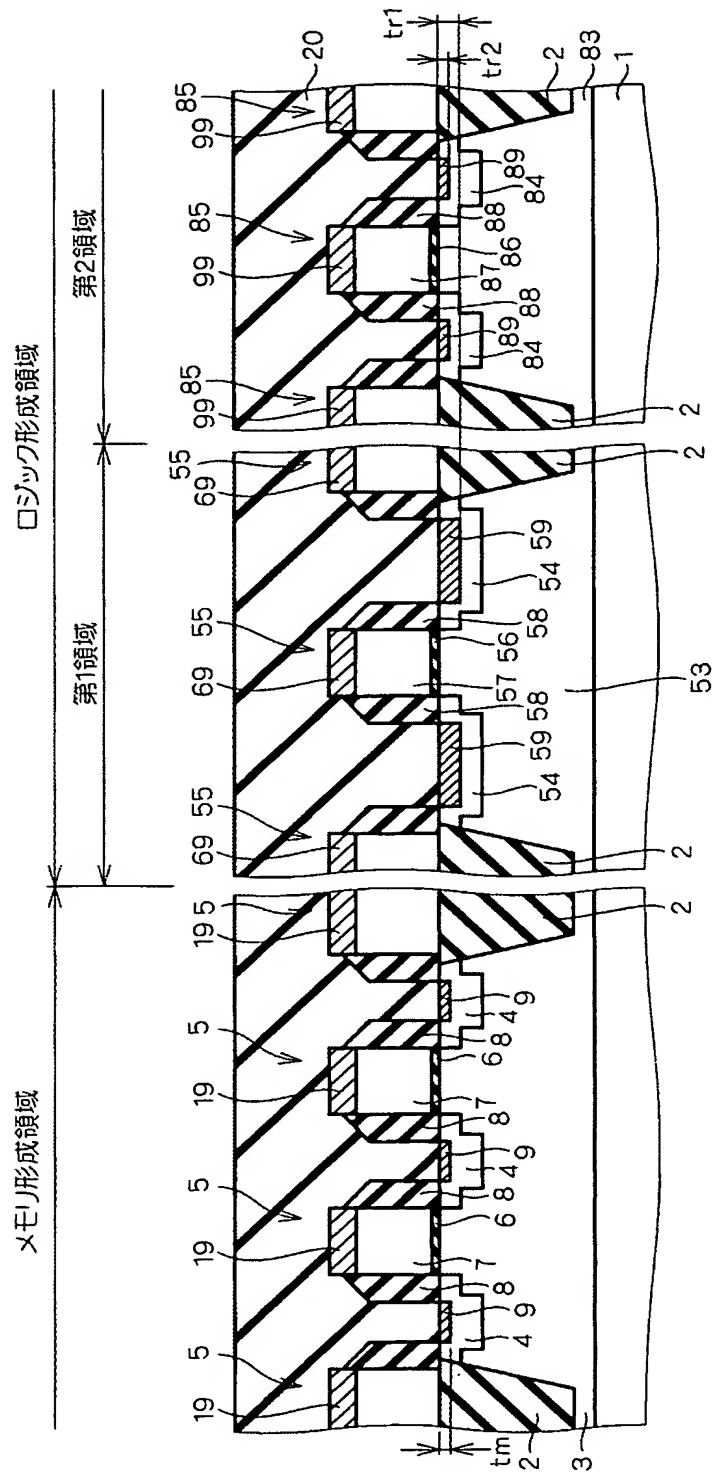
【図 12】



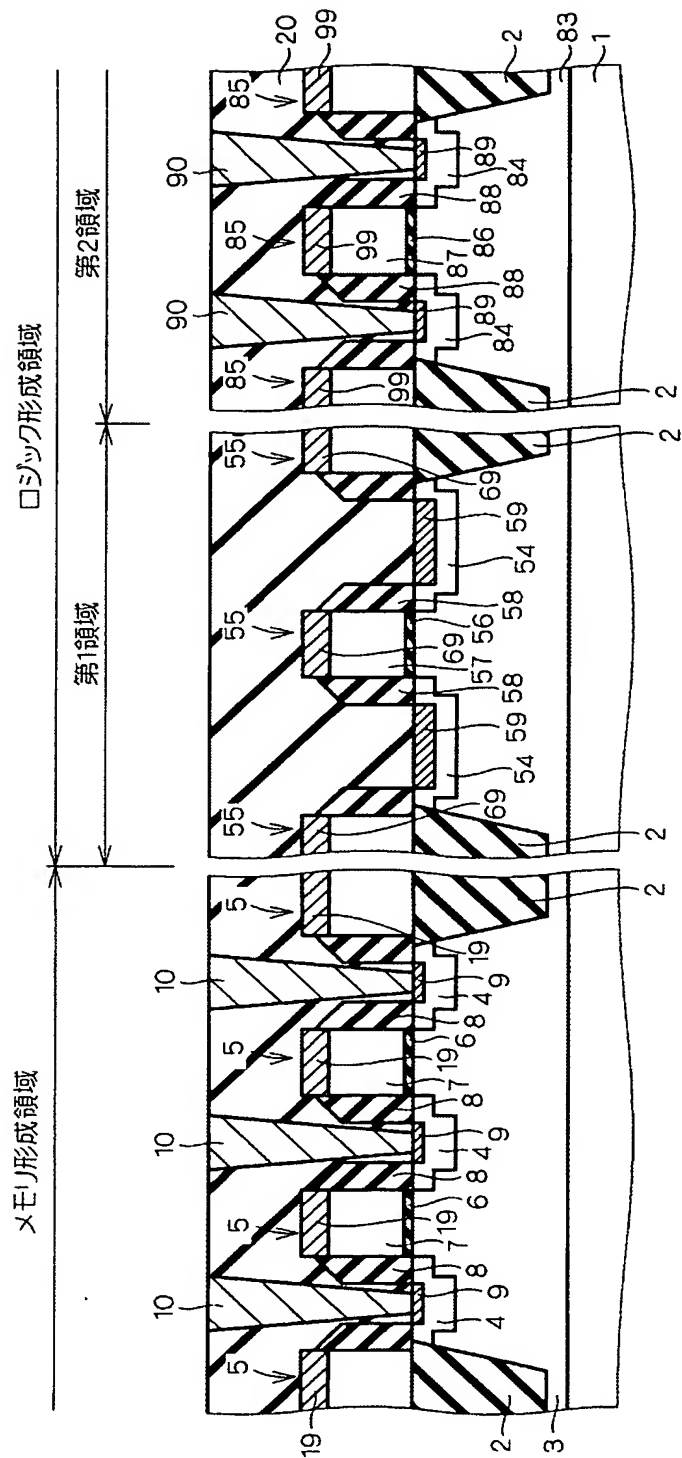
【図13】



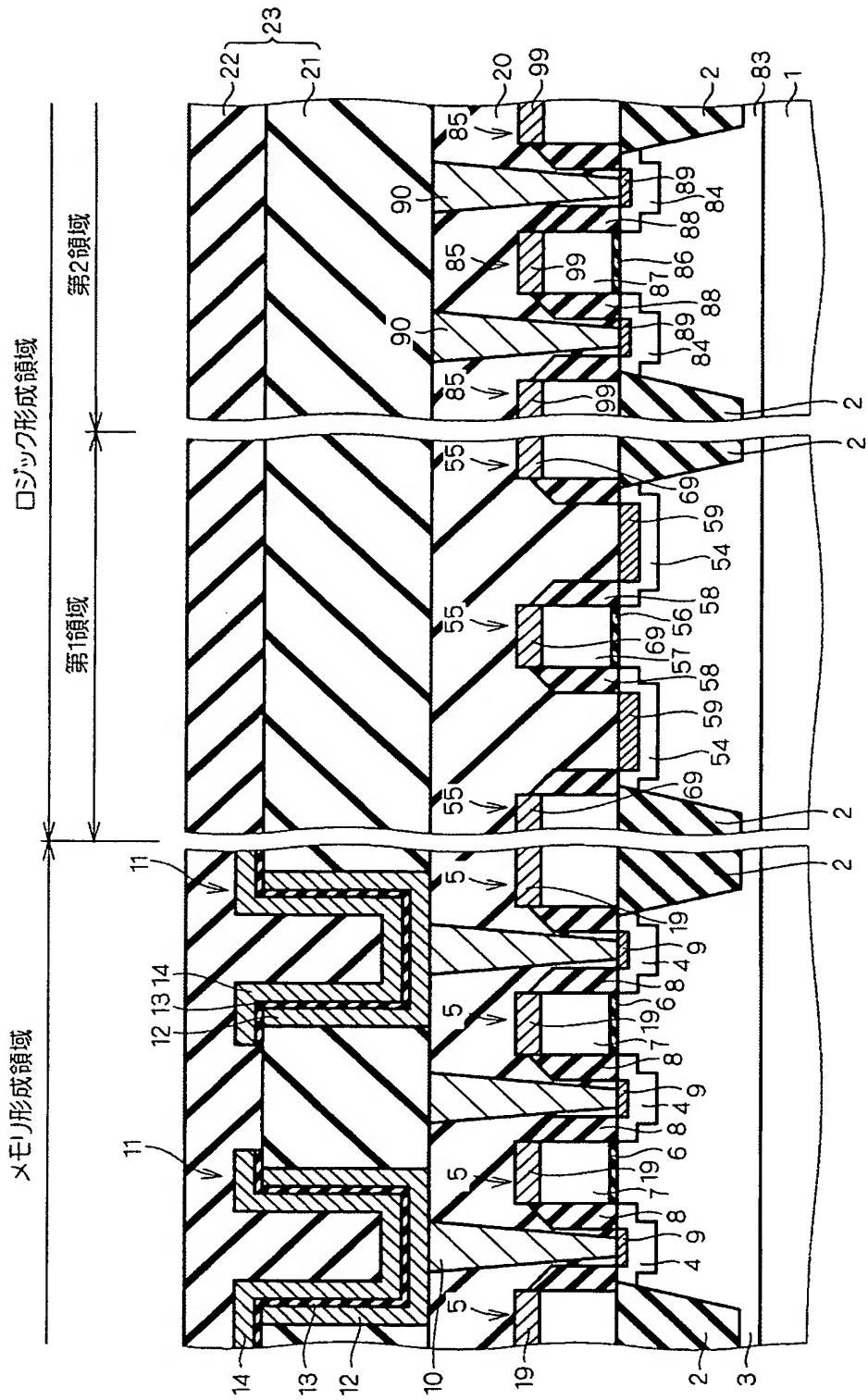
【図15】



【図16】



【図 17】



【書類名】 要約書**【要約】**

【課題】 ロジック形成領域の低抵抗化と、メモリデバイスが有するキャパシタの低リーク電流化とを両立させることができる半導体技術を提供する。

【解決手段】 メモリ形成領域における半導体基板 1 の上面内にはソース・ドレイン領域 4 が形成されており、そのソース・ドレイン領域 4 の上面内にはコバルトシリサイド膜 9 が形成されている。また、ロジック形成領域における半導体基板 1 の上面内にはソース・ドレイン領域 5 4 が形成されており、そのソース・ドレイン領域 5 4 の上面内にはコバルトシリサイド膜 5 9 が形成されている。そして、ロジック形成領域におけるコバルトシリサイド膜 5 9 は、メモリ形成領域におけるコバルトシリサイド膜 9 よりも厚く形成されている。

【選択図】 図 1

特願 2 0 0 3 - 3 4 5 6 3 3

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ